

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-219501

(43)公開日 平成9年(1997)8月19日

| (51)Int.Cl.* | 識別記号    | 庁内整理番号 | F I           | 技術表示箇所  |
|--------------|---------|--------|---------------|---------|
| H 0 1 L      | 27/108  |        | H 0 1 L 27/10 | 6 2 1 C |
|              | 21/8242 |        | 21/316        | X       |
|              | 21/316  |        | 27/04         | C       |
|              | 27/04   |        |               |         |
|              | 21/822  |        |               |         |

審査請求 未請求 請求項の数14 O L (全 26 頁)

(21)出願番号 特願平8-263408

(22)出願日 平成8年(1996)10月4日

(31)優先権主張番号 特願平7-320596

(32)優先日 平7(1995)12月8日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田丸 剛

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72)発明者 飯島 晋平

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 横山 夏樹

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(74)代理人 弁理士 筒井 大和

最終頁に続く

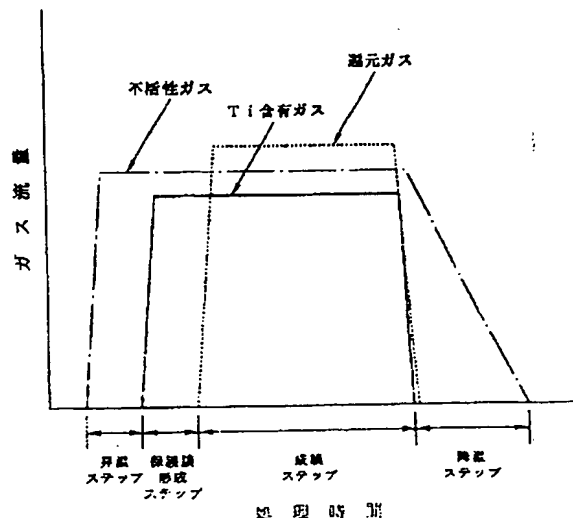
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 容量素子の容量絶縁膜を構成する酸化タンタル膜上に上部電極材料であるT i N膜をC V D法で堆積する際の容量絶縁膜の耐圧劣化を防止する。

【解決手段】 容量素子の容量絶縁膜を構成する酸化タンタル膜の上部に、チタン含有ソースガスと窒素含有還元性ガスとを用いたC V D法でT i N膜を堆積する際、あらかじめ酸化タンタル膜の表面に保護膜を形成しておくことにより、酸化タンタル膜が窒素含有還元性ガスと接触しないようにする。

図 35



1

## 【特許請求の範囲】

【請求項1】 下部電極と、前記下部電極上に形成された高誘電体膜を含む単一または複数の膜からなる容量絶縁膜と、前記容量絶縁膜上に形成されたチタンナイトライド膜を含む単一または複数の膜からなる上部電極とで構成された容量素子を有する半導体集積回路装置であって、前記容量素子の上部電極は、還元性ガスを含まない条件下で低温CVD法により形成された保護膜を介して前記高誘電体膜上に形成されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記容量絶縁膜は、酸化タンタル膜を含むことを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記容量素子は、DRAMのメモリセルを構成するメモリセル選択用MISFETの上部に配置された容量素子であることを特徴とする半導体集積回路装置。

【請求項4】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に、容量素子の下部電極を構成する第1導電膜を形成する工程、(b) 前記第1導電膜上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、(c) 前記容量絶縁膜上に、還元性ガスを含まない条件下で低温CVD法により保護膜を形成する工程、(d) 前記保護膜上に、容量素子の上部電極を構成するチタンナイトライド膜を含む単一または複数の膜からなる第2導電膜を形成する工程。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、前記容量絶縁膜は、酸化タンタル膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法であって、前記保護膜は、アモルファスチタン膜または多結晶チタン膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項4記載の半導体集積回路装置の製造方法であって、前記容量素子は、DRAMのメモリセルを構成するメモリセル選択用MISFETの上部に配置された容量素子であることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法であって、前記容量素子の下部電極の少なくとも一部をフィン形または円筒形にパターンニングする工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に、MISFETを形成する工程、(b) 前記MISFETの上部に、単一または複数の膜からなる第1導電膜を形成する工程、(c) 前記第1導電膜の少なくとも一部をフィン形または円筒形にパターンニングして、容量素子の下部電極を形成する工

2

程、(d) 前記下部電極上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、

(e) 前記容量絶縁膜上に、チタン含有ソースガスを含み、窒素含有還元性ガスを含まない条件下で低温CVD法により保護膜を形成する工程、(f) 前記保護膜上に、チタン含有ソースガスと窒素含有還元性ガスとを含む条件下で低温CVD法により、チタンナイトライド膜を含む単一または複数の膜からなる第2導電膜を形成する工程、(g) 前記第2導電膜、前記保護膜および前記容量絶縁膜をパターンニングして、前記容量素子の上部電極を形成する工程。

【請求項10】 請求項9記載の半導体集積回路装置の製造方法であって、CVD装置のチャンバ内に前記チタン含有ソースガスを導入し、次いで前記窒素含有還元性ガスを導入することにより、前記保護膜と前記第2導電膜とを連続して成膜することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項9記載の半導体集積回路装置の製造方法であって、前記容量絶縁膜は、酸化タンタル膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項9記載の半導体集積回路装置の製造方法であって、前記保護膜は、アモルファスチタン膜または多結晶チタン膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項9記載の半導体集積回路装置の製造方法であって、前記チタン含有ソースガスは、四塩化チタン、テトラキシジメチルアミノチタン、テトラキシジエチルアミノチタンまたはそれらの混合ガスを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項9記載の半導体集積回路装置の製造方法であって、前記窒素含有還元性ガスは、アンモニア、モノメチルヒドラジンまたはそれらの混合ガスを含むことを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、容量素子（キャパシタ）の容量絶縁膜を高誘電体材料で構成したメモリセルを有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年の大容量DRAM (Dynamic Random Access Memory) は、メモリセルの微細化に伴う容量素子の蓄積電荷量の減少を補うために、メモリセル選択用MISFETの上部に容量素子を配置するスタックド・キャパシタ (stacked capacitor) 構造を採用している。さらに、この容量素子の下部電極（蓄積電極）をフィン状あるいは円筒状に加工してその表面積を大きくしたり、容量絶縁膜を高誘電率の高い材料で構成したりすることも

行われている。特に、高誘電体材料の一つである酸化 tantalum ( $Ta_2O_5$ ) は、誘電率が 20~25 と高く、しかも従来の DRAM プロセスとの整合性が高いことから、DRAM の容量素子への適用が進められている。

【0003】容量素子の容量絶縁膜を上記酸化 tantalum で構成する場合には、容量絶縁膜上に形成する上部電極 (プレート電極) の材料として、酸化 tantalum の膜質を劣化させないものを選択する必要がある。このような上部電極材料としては、W (タングステン)、Pt (プラチナ)、Mo (モリブデン) などの高融点金属や、TiN (窒化チタン) などの高融点金属窒化物が好適と考えられている。

【0004】上部電極材料がアニールの前後において酸化 tantalum 膜に及ぼすリーク電流への影響を調べた「応用物理 (Jpn. J. Appl. Phys. Vol. 33 (1994) Pt. 1, No. 3A)」は、上部電極材料の仕事関数と上部電極/酸化 tantalum 界面の安定性とが酸化 tantalum 膜の電気特性を決定するという実験結果に基づいて、最適な上部電極材料は、アニールが低温 (約 400℃) で行われる場合には TiN、高温 (約 800℃) で行われる場合には Mo または MoN (窒化モリブデン) であると報告している。

【0005】DRAM の容量素子の下部電極は、前記のように表面形状が複雑なため、その上部に酸化 tantalum 膜を堆積する場合は、スパッタリング法よりもステップカバレッジが良好な CVD (Chemical Vapor Deposition) 法を用いることが要求される。しかし、CVD 法で堆積した酸化 tantalum 膜は、そのままでは所望の誘電率が得られないため、成膜後に約 700~800℃ の高温でアニールを行って膜を結晶化させる必要がある。ところが、このアニールを行うと、下地の下部電極材料 (多結晶シリコン膜) との界面に酸化膜が形成されて容量絶縁膜の実効的な誘電率が低下したり、酸化 tantalum 膜中の酸素が不足して膜の絶縁耐圧が低下し、リーク電流が増加したりするといった問題が生じる。

【0006】特開昭 61-3548 号公報は、半導体基板上に CVD 法で堆積した酸化 tantalum 膜の表面を乾燥酸素雰囲気中でアニールすることによって、膜中の酸素空位に起因する欠陥を回復させ、膜の絶縁耐圧を向上させる技術を開示している。

【0007】「インターナショナル・コンファレンス・オン・ソリッドステイト・デバイス・アンド・マテリアルズ (International Conference on Solidstate Devices and Materials) 1992」(p521~p523) は、容量素子の下部電極を構成する多結晶シリコン膜を  $NH_3$  (アンモニア) 雰囲気中でアニールしてその表面に窒化膜を形成することによって、酸化 tantalum 膜を堆積する際に多結晶シリコン膜の表面に酸化膜が形成されるのを防ぐ技術を開示している。

【0008】特開平 7-66300 号公報に記載された DRAM は、容量素子の容量絶縁膜を CVD 法で堆積し

た酸化 tantalum、チタン酸ストロンチウム ( $SrTiO_3$ ) またはチタン酸バリウム ( $BaTiO_3$ ) のいずれかで構成し、上部電極を CVD 法またはスパッタリング法で堆積した W、Pt、TiN などによって構成している。そして、下部電極を酸化亜鉛 ( $ZnO$ ) や酸化錫 ( $SnO_2$ ) のような、酸化に対する強い抵抗力を示す材料で構成することによって、容量絶縁膜のアニール時に下部電極との界面に酸化膜が形成されるのを防いでいる。

【0009】特開平 7-66369 号公報に記載された DRAM は、容量素子の容量絶縁膜を CVD 法で堆積した酸化 tantalum で構成している。そして、成膜後のアニールを結晶化温度よりも低い温度 (約 600℃ 以下) で行い、膜をアモルファス構造に保つことによって、リーク電流のバスとなる結晶粒界や亀裂や微小欠陥の発生を抑え、リーク電流特性を改善させている。

【0010】特開平 1-222469 号公報に記載された DRAM は、容量素子の容量絶縁膜を CVD 法で堆積した酸化 tantalum または酸化 hafnium ( $HfO_2$ ) で構成し、この酸化 tantalum (または酸化 hafnium) と多結晶シリコンの電極 (上部電極および下部電極) との間に TiN のバリア膜を形成することによって、シリコンと酸化 tantalum との反応を防いでいる。

【0011】特開平 6-232344 号公報に記載された DRAM は、容量素子の容量絶縁膜を CVD 法で堆積した酸化 tantalum や酸化 hafnium などによって構成し、上部電極を TiN で構成している。そして、この TiN の上部に多結晶シリコンなどの非金属緩衝膜を形成することによって、容量素子の上部に堆積した BPSG (Boron-doped Phospho Silicate Glass) 膜を高温リフロー (約 850℃、30 分) する際に容量素子が劣化するのを防いでいる。

【0012】

【発明が解決しようとする課題】本発明者は、半導体基板上に多結晶シリコンなどの導電膜を堆積し、その上部に酸化 tantalum 膜を堆積した後、TiCl<sub>4</sub> (四塩化チタン)、TDMA T (テトラキシジメチルアミノチタン)、TDEAT (テトラキシジエチルアミノチタン) などのチタン含有ソースガスと、 $NH_3$ 、MMH (モノメチルヒドラジン) などの窒素含有還元性ガスとを用いた CVD 法で酸化 tantalum 膜上に TiN 膜を堆積した。そして、これらの膜をパターニングして容量素子を形成し、容量絶縁膜 (酸化 tantalum 膜) の絶縁耐圧を調べたところ、絶縁耐圧が劣化してリーク電流が増大する現象が観察された。

【0013】その原因は未だ十分に説明されていないが、酸化 tantalum 膜の表面が高温で還元性ガスに接触すると、膜中の酸素 (O) 原子の一部がこの還元性ガスと反応して離脱し、膜中に Ta や O のダングリングボンド (未結合手) が増えることが原因の一つであると本発明者は推測している。

【0014】本発明の目的は、酸化タンタルなどの高誘電体材料で構成された容量絶縁膜の上部に、還元性ガスを含む反応ガスをを用いたCVD法で上部電極材料を堆積する際に容量絶縁膜の耐圧が劣化する不具合を防止することのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】本発明の半導体集積回路装置は、下部電極と、前記下部電極上に形成された高誘電体膜を含む単一または複数の膜からなる容量絶縁膜と、前記容量絶縁膜上に形成されたチタンナイトライド膜を含む単一または複数の膜からなる上部電極とで構成された容量素子を有し、前記容量素子の上部電極は、還元性ガスを含まない条件下で低温CVD法により形成された保護膜を介在して前記高誘電体膜上に形成されている。

【0018】本発明の半導体集積回路装置は、前記容量絶縁膜が酸化タンタル膜を含んでいる。

【0019】本発明の半導体集積回路装置は、前記容量素子がDRAMのメモリセルを構成するメモリセル選択用MISFETの上部に配置されている。

【0020】本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0021】(a)半導体基板の主面上に、容量素子の下部電極を構成する第1導電膜を形成する工程、(b)前記第1導電膜上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、(c)前記容量絶縁膜上に、還元性ガスを含まない条件下で低温CVD法により保護膜を形成する工程、(d)前記保護膜上に、容量素子の上部電極を構成するチタンナイトライド膜を含む単一または複数の膜からなる第2導電膜を形成する工程。

【0022】本発明の半導体集積回路装置の製造方法は、前記容量絶縁膜が酸化タンタル膜を含んでいる。

【0023】本発明の半導体集積回路装置の製造方法は、前記保護膜がアモルファスチタン膜または多結晶チタン膜を含んでいる。

【0024】本発明の半導体集積回路装置の製造方法は、前記容量素子がDRAMのメモリセルを構成するメモリセル選択用MISFETの上部に配置されている。

【0025】本発明の半導体集積回路装置の製造方法は、前記容量素子の下部電極の少なくとも一部をフィン形または円筒形にパターンニングする工程を含んでいる。

【0026】本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0027】(a)半導体基板の主面上に、MISFET

Tを形成する工程、(b)前記MISFETの上部に、単一または複数の膜からなる第1導電膜を形成する工程、(c)前記第1導電膜の少なくとも一部をフィン形または円筒形にパターンニングして、容量素子の下部電極を形成する工程、(d)前記下部電極上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、(e)前記容量絶縁膜上に、チタン含有ソースガスを含み、窒素含有還元性ガスを含まない条件下で低温CVD法により保護膜を形成する工程、(f)前記保護膜上に、チタン含有ソースガスと窒素含有還元性ガスとを含む条件下で低温CVD法により、チタンナイトライド膜を含む単一または複数の膜からなる第2導電膜を形成する工程、(g)前記第2導電膜、前記保護膜および前記容量絶縁膜をパターンニングして、前記容量素子の上部電極を形成する工程。

【0028】本発明の半導体集積回路装置の製造方法は、CVD装置のチャンバ内に前記チタン含有ソースガスを導入し、次いで前記窒素含有還元性ガスを導入することにより、前記保護膜と前記第2導電膜とを連続して成膜する。

【0029】本発明の半導体集積回路装置の製造方法は、前記容量絶縁膜が酸化タンタル膜を含んでいる。

【0030】本発明の半導体集積回路装置の製造方法は、前記保護膜がアモルファスチタン膜または多結晶チタン膜を含んでいる。

【0031】本発明の半導体集積回路装置の製造方法は、前記チタン含有ソースガスが四塩化チタン、テトラキシジメチルアミノチタン、テトラキシジエチルアミノチタンまたはそれらの混合ガスを含んでいる。

【0032】本発明の半導体集積回路装置の製造方法は、前記窒素含有還元性ガスがアンモニア、モノメチルヒドラジンまたはそれらの混合ガスを含んでいる。

【0033】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0034】(実施の形態1)本実施の形態は、メモリセル選択用MISFETの上部にビット線を配置し、このビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン(Capacitor Over Bitline; COB)構造のメモリセルを備えたDRAMに適用したものである。

【0035】このメモリセルを形成するには、まず図1に示すように、p型の単結晶シリコンからなる半導体基板1の主面にp型不純物(ホウ素)をイオン打込みしてp型ウエル2を形成した後、周知のLOCOS法でp型ウエル2の表面に素子分離用のフィールド酸化膜3およびゲート酸化膜4を形成する。次に、フィールド酸化膜3の下部を含むp型ウエル2内にp型不純物(ホウ素)

をイオン打込みして素子分離用のp型チャネルストップ層5を形成する。

【0036】次に、図2に示すように、p型ウエル2上にメモリセル選択用MISFETのゲート電極6（およびこのゲート電極6と一体に構成されるワード線WL）を形成する。ゲート電極6（ワード線WL）は、p型ウエル2上にCVD法で多結晶シリコン膜（または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）と酸化シリコン膜7とを堆積し、フォトリソをマスクにしたエッチングでこれらの膜をパターニ

ングして形成する。

【0037】次に、図3に示すように、p型ウエル2にn型不純物（リン）をイオン打込みしてメモリセル選択用MISFETのn型半導体領域8（ソース領域、ドレイン領域）を形成する。続いて図4に示すように、ゲート電極6（ワード線WL）の側壁にサイドウォールスペーサ9を形成した後、CVD法で酸化シリコン膜10を堆積する。サイドウォールスペーサ9は、CVD法で堆積した酸化シリコン膜を反応性イオンエッチング法でパターニングして形成する。

【0038】次に、図5に示すように、メモリセル選択用MISFETのソース、ドレイン領域（n型半導体領域8）の一方の上部の酸化シリコン膜10およびゲート酸化膜4を開孔して接続孔11を形成した後、酸化シリコン膜10上にCVD法でn型の多結晶シリコン膜12を堆積し、続いて図6に示すように、この多結晶シリコン膜12をパターニングする。

【0039】次に、図7に示すように、CVD法で堆積したBPSG膜13をリフローしてその表面を平坦化した後、メモリセル選択用MISFETのソース、ドレイン領域（n型半導体領域8）の他方の上部のBPSG膜13、酸化シリコン膜10およびゲート酸化膜4を開孔して接続孔14を形成する。

【0040】次に、図8に示すように、BPSG膜13上にCVD法で堆積したn型の多結晶シリコン膜をパターニングして、前記接続孔14を通じてn型半導体領域8に接続されるビット線BLを形成する。ビット線BLは、スパッタリング法で堆積したTiN膜とW膜の積層膜などで構成することもできる。

【0041】次に、図9に示すように、BPSG膜13上にCVD法で酸化シリコン膜15、窒化シリコン膜16および酸化シリコン膜17を順次堆積した後、図10に示すように、n型半導体領域8の上部の酸化シリコン膜17、窒化シリコン膜16および酸化シリコン膜15を開孔して前記多結晶シリコン膜12に達する接続孔18を形成する。

【0042】次に、図11に示すように、酸化シリコン膜17上にCVD法でn型の多結晶シリコン膜19を堆積し、続いてこの多結晶シリコン膜19上にCVD法で酸化シリコン膜20を堆積する。続いて図12に示すよ

うに、酸化シリコン膜20を円柱状にパターニングして接続孔18の内部と上部のみに残した後、CVD法でn型の多結晶シリコン膜21を堆積する。

【0043】次に、図13に示すように、多結晶シリコン膜21を反応性イオンエッチング法でパターニングして円柱形の酸化シリコン膜20の側壁のみに残した後、多結晶シリコン膜21の下層の多結晶シリコン膜19をパターニングして、酸化シリコン膜20およびその側壁の多結晶シリコン膜21の下部のみに残す。

【0044】次に、図14に示すように、フッ酸水溶液などウェットエッチング液を用いて酸化シリコン膜20および下層の酸化シリコン膜17を除去する。このとき、酸化シリコン膜17の下層の窒化シリコン膜16がエッチングストップとなるので、窒化シリコン膜16よりも下層の酸化シリコン膜15やBPSG膜13などが除去されることはない。これにより、3層の多結晶シリコン膜12、19、20からなる円筒形（クラウン形）の下部電極22が得られる。

【0045】次に、図15に示すように、下部電極22の表面にCVD法で窒化シリコン膜23を薄く堆積した後、窒化シリコン膜23の表面にCVD法で酸化タンタル膜24を薄く堆積することにより、窒化シリコン膜23と酸化タンタル膜24の積層膜で構成された情報蓄積容量素子の容量絶縁膜25を形成する。酸化タンタル膜24は、例えばTa（OC<sub>2</sub>H<sub>5</sub>）（エトキシタンタル）を反応ガスに用いて400℃程度の温度で堆積し、その後、電気炉またはランプアニール装置を用いて700～1000℃程度の温度でアニールする。酸化タンタル膜24と蓄積電極との間には窒化シリコン膜が設けられているので、この高温アニール時に酸化タンタル膜24と下部電極22（多結晶シリコン膜）とが反応して両者の界面に酸化物が形成されることはない。

【0046】次に、上記容量絶縁膜25の上部に情報蓄積容量素子の上部電極を形成するために、半導体基板1を図18に示すCVD装置40のチャンバ41内に搬入する。

【0047】同図に示すように、このCVD装置40は、TiCl<sub>4</sub>、TDMA T、TDEATなどのチタン含有ソースガスと、TiN膜中のTiとNの組成比を1:1に近づけるために使用するNH<sub>3</sub>、MMHなどの窒素含有還元性ガスと、He（ヘリウム）、Ar（アルゴン）、N<sub>2</sub>（窒素）などの不活性ガスのそれぞれを個別のガス供給管を通じてチャンバ41内に導入する構造になっている。このような構造にすることにより、ガス供給管の途中でガス同士が反応して管内に反応物が堆積する不具合を防止することができる。

【0048】また、このCVD装置40は、ガス供給管の途中に設けたバルブ42、43の開閉を調整することによって、チャンバ41内に窒素含有還元性ガスまたは不活性ガスのいずれか一方のみを選択的に導入できる構

造になっている。

【0049】さらに、このCVD装置40は、チャンバ41内に窒素含有還元性ガスを導入するガス供給管の途中に、チャンバ41内の真空度を調整するための真空ポンプ44とは別の真空ポンプ45が接続されている。このような構造にすると、チャンバ41内に窒素含有還元性ガスを導入する初期段階に真空ポンプ45でガス供給管内のガスの一部を排気することにより、チャンバ41内に瞬間的に過剰の窒素含有還元性ガスが導入されてしまう不具合を防止することができる。

【0050】本実施の形態では、半導体基板1を上記CVD装置40のチャンバ41内に搬入した後、まず真空ポンプ44でチャンバ41内を所定の真空度になるまで排気し、続いてチャンバ41内に所定の流量のチタン含有ソースガスと不活性ガスとを導入し、約300～600℃、より好ましくは約400～450℃でチタン含有ソースガスを熱分解させることにより、図16に示すように、酸化タンタル膜24の表面に沿ってアモルファスTi膜26を薄く堆積する。なお、不活性ガスとしてN<sub>2</sub>、またはN<sub>2</sub>と他の不活性ガスとの混合ガスを使用した場合は、アモルファスTiNを一部含んだアモルファスTi膜26が形成されることもあるが支障はない。

【0051】次に、CVD装置40のチャンバ41内に所定の流量のチタン含有ソースガス、窒素含有還元性ガスおよび不活性ガスを導入し、図17に示すように、チタン含有ソースガスと窒素含有還元性ガスとを反応させてアモルファスTi膜26の上部にTiN膜27を堆積することにより、アモルファスTi膜26とTiN膜27の積層膜で構成された情報蓄積用容量素子の上部電極28を形成する。

【0052】上記の方法によれば、酸化タンタル膜24の表面はアモルファスTi膜26で覆われているので、窒素含有還元性ガスが酸化タンタル膜24と接触することはない。従って、窒素含有還元性ガスによる酸化タンタル膜の耐圧劣化が確実に防止される。また、チャンバ41内に窒素含有還元性ガスを導入する初期段階に真空ポンプ45でガス供給管内のガスの一部を排気し、チャンバ41内に瞬間的に過剰の窒素含有還元性ガスが導入されないようにすることにより、TiN膜27中のTiとNの組成を最適値(Ti:N=1:1)に近づけることができる。

【0053】このように、本実施の形態によれば、情報蓄積用容量素子の容量絶縁膜25を構成する酸化タンタル膜24の上部にCVD法でTiN膜27を堆積して上部電極28を形成する際、あらかじめ酸化タンタル膜24の表面に窒素含有還元性ガスを透過しないアモルファスTi膜26を形成しておくことにより、酸化タンタル膜24の耐圧劣化(リーク電流の増大)を確実に防止することができるので、リフレッシュ特性の向上したDRAMを実現することができる。

【0054】(実施の形態2)図19は、本実施の形態のDRAMのブロック図、図20は、このDRAMのメモリアレイとセンスアンプの回路図である。

【0055】本実施の形態のDRAMは、半導体基板の主面の主要部を占めるメモリアレイMARYをその基本構成要素とする。このメモリアレイMARYは、図20に示すように、図の垂直方向に平行して配置されるm+1本のワード線(W0-Wm)と、水平方向に平行して配置されるn+1組の相補性ビット線(非反転ビット線BOT-BNTおよび反転ビット線BOB-BNB)とを含んでいる。これらのワード線および相補ビット線の交点には、情報蓄積用容量素子(Cs)およびメモリセル選択用MISFETQaからなる(m+1)×(n+1)個のメモリセルが格子状に配置されている。

【0056】メモリアレイMARYの同一の列に配置されたm+1個のメモリセルのメモリセル選択用MISFETQaのドレイン領域は、対応する相補ビット線の非反転または反転信号線に所定の規則性をもって交互に結合されている。また、メモリアレイMARYの同一の行に配置されたn+1個のメモリセルのメモリセル選択用MISFETQaのゲート電極は、対応するワード線と一体に結合されている。メモリアレイMARYを構成するすべてのメモリセルの情報蓄積用容量素子(Cs)の他方の電極には、所定のプレート電圧VPが共通に供給される。

【0057】メモリアレイMARYを構成するワード線(W0-Wm)は、その下方においてXアドレスデコーダXDに結合され、択一的に選択状態とされる。XアドレスデコーダXDには、XアドレスバッファXBからi+1ビットの内部アドレス信号(X0-Xi)が供給され、タイミング発生回路TGから内部制御信号XDGが供給される。また、XアドレスバッファXBには、アドレス入力端子(A0-Ai)を介してXアドレス信号(XA0-XAi)が時分割的に供給され、タイミング発生回路TGから内部制御信号XLが供給される。

【0058】XアドレスバッファXBは、アドレス入力端子(A0-Ai)を介して供給されるXアドレス信号(XA0-XAi)を内部制御信号XLに従って取り込み、保持すると共に、これらのXアドレス信号を元に内部アドレス信号(X0-Xi)を形成してXアドレスデコーダXDに供給する。また、XアドレスデコーダXDは、内部制御信号XDGのハイレベルを受けて選択的に動作状態とされ、内部アドレス信号(X0-Xi)をデコードして、メモリアレイMARYの対応するワード線(W0-Wm)を択一的にハイレベルの選択状態とする。

【0059】メモリアレイMARYを構成する相補ビット線(BOT-BNT、BOB-BNB)はセンスアンプSAに結合され、このセンスアンプSAを介して相補共通データ線CDに択一的に接続されている。センスアンプSA

には、YアドレスデコーダYDから $n+1$ ビットのビット線選択信号( $YS_0-YS_n$ )が供給され、タイミング発生回路TGから内部制御信号PAが供給される。また、YアドレスデコーダYDには、YアドレスバッファYBから $i+1$ ビットの内部アドレス信号( $Y_0-Y_i$ )が供給され、タイミング発生回路TGから内部制御信号YDGが供給される。さらに、YアドレスバッファYBには、アドレス入力端子( $A_0-A_i$ )を介してYアドレス信号( $AY_0-AY_i$ )が時分割的に供給され、タイミング発生回路TGから内部制御信号YLが供給される。

【0060】YアドレスバッファYBは、アドレス入力端子( $A_0-A_i$ )を介して供給されるYアドレス信号( $AY_0-AY_i$ )を内部制御信号YLに従って取り込み、保持するとともに、これらのYアドレス信号を元に内部アドレス信号( $Y_0-Y_i$ )を形成して、YアドレスデコーダYDに供給する。また、YアドレスデコーダYDは、内部制御信号YDGがハイレベルとされることで選択的に動作状態とされ、内部アドレス信号( $Y_0-Y_i$ )をデコードして、対応するビット線選択信号( $YS_0-YS_n$ )を択一的にハイレベルの選択状態とする。

【0061】センスアンプSAは、メモリアレイMARYの相補ビット線に対応して設けられる $n+1$ 個の単位回路を含んでいる。これらの単位回路は、特に制限されないが、図20に例示されるように、相補ビット線の非反転および反転信号線間にそれぞれ設けられた一对の $n$ チャネル型MISFET $N_1, N_2$ からなるビット線ブリッジ回路と、 $p$ チャネル型MISFET $P_1$ および $n$ チャネル型MISFET $N_1$ からなるCMOSインバータならびに $p$ チャネル型MISFET $P_2$ および $n$ チャネル型MISFET $N_2$ からなるCMOSインバータが交差結合されてなる単位増幅回路とをそれぞれ含んでいる。このうち、各単位回路のビット線ブリッジ回路を構成する $n$ チャネル型MISFET $N_1, N_2$ の共通結合されたソース領域には内部電圧HVが共通に供給され、そのゲート電極には内部制御信号PCが共通に供給される。なお、内部電圧HVは、回路の電源電圧および接地電位間の中間電位とされる。また、内部制御信号PCは、メモリセルが非選択状態とされるときに選択的にハイレベルとされる。これにより、 $n$ チャネル型MISFET $N_1, N_2$ は、メモリセルが非選択状態とされ、内部制御信号PCがハイレベルとされることで選択的に、かつ一斉にオン状態となり、メモリアレイMARYの対応する相補ビット線の非反転および反転信号線を内部電圧HVにブリッジする。

【0062】一方、各単位回路の単位増幅回路を構成する $p$ チャネル型MISFET $P_1, P_2$ のソース領域は、コモンソース線SPに共通結合されている。コモンソース線SPは、そのゲート電極に内部制御信号PAの

インバータV1による反転信号つまり反転内部制御信号PABを受ける $p$ チャネル型の駆動用MISFET $P_1$ を介して回路の電源電圧に結合されている。同様に、各単位回路の単位増幅回路を構成する $n$ チャネル型MISFET $N_1, N_2$ のソース領域は、コモンソース線SNに共通結合されている。コモンソース線SNは、そのゲート電極に内部制御信号PAを受ける $n$ チャネル型の駆動用MISFET $N_1$ を介して回路の接地電位に結合されている。この結果、各単位増幅回路は、内部制御信号PAがハイレベルとされ、反転内部制御信号PABがロウレベルとされることで選択的に、かつ一斉に動作状態とされ、メモリアレイMARYの選択されたワード線に結合される $n+1$ 個のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号を増幅し、ハイレベルまたはロウレベルの2値読み出し信号とする。

【0063】さらに、センスアンプSAの各単位回路は、単位増幅回路の非反転および反転出力ノードと相補共通データ線CDとの間に設けられる $n$ チャネル型的一对のスイッチMISFET $N_1, N_2$ をそれぞれ含んでいる。これらのスイッチMISFET対のゲート電極はそれぞれ共通結合され、YアドレスデコーダYDから対応するビット線選択信号( $YS_0-YS_n$ )がそれぞれ供給される。これにより、各単位回路のスイッチMISFET $N_1, N_2$ は、対応するビット線選択信号( $YS_0-YS_n$ )がハイレベルとされることで選択的にオン状態とされ、センスアンプSAの対応する単位増幅回路つまりメモリアレイMARYの対応する1組の相補ビット線と相補共通データ線CDとを選択的に接続状態とする。

【0064】メモリアレイMARYの相補ビット線の指定された1組が択一的に接続状態とされる相補共通データ線CDは、データ入出力回路IOに結合されている。データ入出力回路IOは、図示しないライトアンプおよびメインアンプならびにデータ入力バッファおよびデータ出力バッファを含んでいる。このうち、ライトアンプの出力端子およびメインアンプの入力端子は、相補共通データ線CDに共通結合されている。ライトアンプの入力端子は、データ入力バッファの出力端子に結合され、データ入力バッファの入力端子は、データ入力端子Dinに結合されている。また、メインアンプの出力端子はデータ出力バッファの入力端子に結合され、データ出力バッファの出力端子はデータ出力端子Doutに結合されている。

【0065】データ入出力回路IOのデータ入力バッファは、メモリセルが書き込みモードで選択状態とされるとき、データ入力端子Dinを介して供給される書き込みデータを取り込み、ライトアンプに伝達する。この書き込みデータは、ライトアンプによって所定の相補書き込み信号とされた後、相補共通データ線CDを介してメモリアレイMARYの選択された1個のメモリセルに書き

込まれる。一方、データ入出力回路10のメインアンプは、メモリセルが読み出しモードで選択状態とされるとき、メモリアレイMARYの選択されたメモリセルから相補共通データ線CDを介して出力される2値読み出し信号をさらに増幅して、データ出力バッファに伝達する。この読み出しデータは、データ出力バッファからデータ出力端子Doutを介して外部に送出される。

【0066】タイミング発生回路TGは、外部から起動制御信号として供給されるロウアドレスストロブ信号RASB、カラムアドレスストロブ信号CASBおよびライトイネーブル信号WEBを元に上記各種の内部制御信号を選択的に形成してDRAMの各部に供給する。

【0067】次に、本実施の形態のDRAMの製造方法を図21～図47を用いて説明する。

【0068】このDRAMを製造するには、まず図21に示すように、 $p^+$ 型単結晶シリコンからなる半導体基板1の表面を酸化して薄い酸化シリコン膜53を形成した後、CVD法を用いて酸化シリコン膜53上に窒化シリコン膜54を堆積し、次いでフォトリソistをマスクにしてこの窒化シリコン膜54をエッチングすることにより、素子分離領域の窒化シリコン膜54を除去する。

【0069】次に、図22に示すように、窒化シリコン膜54をマスクにして半導体基板1をアニールすることにより、フィールド酸化膜3を形成する。次に、窒化シリコン膜54を除去した後、図23に示すように、メモリアレイを形成する領域と周辺回路の $n$ チャネル型MISFETを形成する領域の半導体基板1に $p$ 型不純物（ホウ素（B））をイオン注入して $p$ 型ウエル2を形成する。また、周辺回路の $p$ チャネル型MISFETを形成する領域の半導体基板1に $n$ 型不純物（リン（P））をイオン注入して $n$ 型ウエル55を形成する。続いて、 $p$ 型ウエル2に $p$ 型不純物（B）をイオン注入して $p$ 型チャネルストッパ層5を形成し、 $n$ 型ウエル55に $n$ 型不純物（P）をイオン注入して $n$ 型チャネルストッパ層6を形成する。その後、フィールド酸化膜3で囲まれた $p$ 型ウエル2、 $n$ 型ウエル55のそれぞれの活性領域の表面を熱酸化してゲート酸化膜4を形成する。

【0070】次に、図24に示すように、メモリセル選択用MISFETのゲート電極6A（ワード線WL）、周辺回路の $n$ チャネル型MISFETのゲート電極6Bおよび $p$ チャネル型MISFETのゲート電極6Cを形成する。ゲート電極6A（ワード線WL）とゲート電極6B、6Cは、CVD法を用いて半導体基板1上にタングステン（W）膜を堆積し、続いてこのW膜上にプラズマCVD法を用いて窒化シリコン膜57を堆積した後、フォトリソistをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。

【0071】次に、図25に示すように、 $p$ 型ウエル2に $n$ 型不純物（P）をイオン注入し、 $n$ 型ウエル55に $p$ 型不純物（B）をイオン注入する。後の工程で行うア

ニールにより、この $n$ 型不純物（P）でメモリセル選択用MISFETの $n$ 型半導体領域8（ソース領域、ドレイン領域）と周辺回路の $n$ チャネル型MISFETの $n$ 型半導体領域58とが形成され、 $p$ 型不純物（B）で周辺回路の $p$ チャネル型MISFETの $p$ 型半導体領域59が形成される。

【0072】次に、図26に示すように、ゲート電極6A（ワード線WL）とゲート電極6B、6Cのそれぞれの側壁にサイドウォールスペーサ9を形成した後、周辺回路の $p$ 型ウエル2に $n$ 型不純物（P）をイオン注入し、 $n$ 型ウエル55に $p$ 型不純物（B）をイオン注入する。サイドウォールスペーサ9は、プラズマCVD法を用いて半導体基板1上に窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【0073】次に、図27に示すように、半導体基板1を窒素雰囲気中でアニールして前記 $n$ 型不純物（P）と $p$ 型不純物とを拡散させることにより、メモリセル選択用MISFETの $n$ 型半導体領域8（ソース領域、ドレイン領域）と、周辺回路の $n$ チャネル型MISFETの $n$ 型半導体領域58および $n$ 型半導体領域60と、 $p$ チャネル型MISFETの $p$ 型半導体領域59および $p$ 型半導体領域61とを形成する。周辺回路の $n$ チャネル型MISFETのソース領域、ドレイン領域のそれぞれは、 $n$ 型半導体領域58と $n$ 型半導体領域60とからなるLDD（Lightly Doped Drain）構造で構成され、 $p$ チャネル型MISFETのソース領域、ドレイン領域のそれぞれは、 $p$ 型半導体領域59と $p$ 型半導体領域61とからなるLDD構造で構成される。

【0074】次に、図28に示すように、メモリセル選択用MISFET、周辺回路の $n$ チャネル型MISFETおよび $p$ チャネル型MISFETのそれぞれの上部にプラズマCVD法を用いて酸化シリコン膜62を堆積し、続いてこの酸化シリコン膜62を化学的機械研磨（Chemical Mechanical Polishing; CMP）法で研磨してその表面を平坦化した後、フォトリソistをマスクにして酸化シリコン膜62およびゲート酸化膜4をエッチングすることにより、メモリセル選択用MISFETの $n$ 型半導体領域8（ソース領域、ドレイン領域）の上部に接続孔63、64を形成し、周辺回路の $n$ チャネル型MISFETの $n$ 型半導体領域60（ソース領域、ドレイン領域）の上部に接続孔65、66を形成し、 $p$ チャネル型MISFETの $p$ 型半導体領域61（ソース領域、ドレイン領域）の上部に接続孔67、68を形成する。

【0075】このとき、メモリセル選択用MISFETのゲート電極6A（ワード線WL）の上部に形成された窒化シリコン膜57と側壁に形成された酸化シリコンのサイドウォールスペーサ9は、僅かにエッチングされるだけなので、接続孔63、64が自己整合（セルフアラ



イン)で形成される。同様に、周辺回路のnチャネル型MISFETのゲート電極6B、pチャネル型MISFETのゲート電極6Cのそれぞれの上部に形成された窒化シリコン膜57と側壁に形成された窒化シリコンのサイドウォールスペーサ9は、僅かにエッチングされるだけなので、接続孔65~68が自己整合(セルフアライン)で形成される。

【0076】メモリセル選択用MISFET、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの上部に堆積する絶縁膜としては、上記酸化シリコン膜62の他にも、例えばCVD法を用いて堆積したオゾン(O<sub>3</sub>)-BPSG膜や、CVD法を用いて堆積したオゾン-TEOS(Tetra Ethoxy Silane)などを使用することができる。これらの絶縁膜は、酸化シリコン膜62と同じく、化学的機械研磨(CMP)法でその表面を平坦化する。

【0077】次に、図29に示すように、接続孔63~68の内部にTiNとWの積層膜で構成されたプラグ69を埋め込む。このプラグ69は、酸化シリコン膜62の上部に基板とW膜との接着層となるTiN膜をスパッタリング法を用いて堆積し、続いてCVD法を用いてこのTiN膜の上部にW膜を堆積した後、このW膜とTiN膜とをエッチバックして形成する。

【0078】このとき、プラグ69と基板のコンタクト抵抗を低減するために、接続孔63~68の底部にTiシリサイド(TiSi<sub>2</sub>)層を形成してもよい。Tiシリサイド層は、スパッタリング法を用いて酸化シリコン膜62の上部にTi膜を堆積し、800℃程度のアニールでこのTi膜と接続孔63~68の底部の基板とを反応させた後、酸化シリコン膜62上に残った未反応のTi膜をウェットエッチングで除去して形成する。その後、酸化シリコン膜62の上部に堆積したTiN膜とW膜とをエッチバックしてプラグ69を形成する。

【0079】次に、図30に示すように、酸化シリコン膜62の上部にビット線BL<sub>1</sub>, BL<sub>2</sub>と周辺回路の配線70A、70Bとを形成する。ビット線BL<sub>1</sub>, BL<sub>2</sub>と配線70A、70Bは、プラズマCVD法を用いて酸化シリコン膜62の上部にW膜を堆積し、続いてこのW膜の上部にCVD法を用いて窒化シリコン膜71を堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。

【0080】ビット線BL<sub>1</sub>は、前記接続孔63を通じてメモリセル選択用MISFETのソース領域、ドレイン領域の一方(n型半導体領域8)と電気的に接続される。またビット線BL<sub>2</sub>は、前記接続孔65を通じて周辺回路のnチャネル型MISFETのソース領域、ドレイン領域の一方(n'型半導体領域60)と電気的に接続される。

【0081】周辺回路の配線70Aの一端は、接続孔66を通じてnチャネル型MISFETのソース領域、ド

レイン領域の他方(n'型半導体領域60)と電気的に接続され、他端は接続孔67を通じてpチャネル型MISFETのソース領域、ドレイン領域の一方(p'型半導体領域61)と電気的に接続される。また配線70Bは、接続孔68を通じてpチャネル型MISFETのソース領域、ドレイン領域の他方(p'型半導体領域61)と電気的に接続される。

【0082】次に、図31に示すように、ビット線BL<sub>1</sub>, BL<sub>2</sub>と配線70A、70Bのそれぞれの側壁にサイドウォールスペーサ72を形成する。サイドウォールスペーサ72は、プラズマCVD法を用いて酸化シリコン膜62の上部に窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【0083】次に、図32に示すように、ビット線BL<sub>1</sub>, BL<sub>2</sub>と配線70A、70Bのそれぞれの上部にプラズマCVD法を用いて酸化シリコン膜73を堆積し、続いてこの酸化シリコン膜73を化学的機械研磨(CMP)法で研磨してその表面を平坦化した後、フォトリソをマスクにして酸化シリコン膜73をエッチングすることにより、メモリセル選択用MISFETのn型半導体領域8(ソース領域、ドレイン領域)の一方の上部に形成された前記接続孔64の上部に接続孔74を形成する。このとき、ビット線BL<sub>1</sub>の上部に形成された窒化シリコン膜71と側壁に形成された窒化シリコンのサイドウォールスペーサ72は、僅かにエッチングされるだけなので、接続孔74が自己整合(セルフアライン)で形成される。

【0084】ビット線BL<sub>1</sub>, BL<sub>2</sub>および配線70A、70Bの上部に堆積する絶縁膜としては、上記酸化シリコン膜73の他にも、例えば前記のオゾン-BPSG膜やオゾン-TEOS膜、あるいはスピノングラス(Spin On Glass; SOG)膜などを使用することができる。オゾン-BPSG膜やオゾン-TEOS膜を使用した場合は、酸化シリコン膜73と同じく化学的機械研磨(CMP)法でその表面を平坦化する。

【0085】次に、図33に示すように、接続孔74の内部にWのプラグ75を埋め込んだ後、接続孔74の上部に情報蓄積用容量素子の下部電極(蓄積電極)76を形成する。Wのプラグ75は、CVD法を用いて酸化シリコン膜73の上部にW膜を堆積した後、このW膜をエッチバックして形成する。下部電極76は、CVD法を用いて酸化シリコン膜73の上部にW膜を堆積した後、フォトリソをマスクにしたエッチングでこのW膜をパターンニングして形成する。

【0086】次に、図34に示すように、下部電極22の上部に酸化タンタル膜77を堆積する。酸化タンタル膜77は、ステップカバレッジのよいCVD法を用いて堆積する。酸化タンタル膜77は、例えばTa(O<sub>2</sub>H<sub>2</sub>)を反応ガスに用いて400℃程度の温度で堆積した後、電気炉またはランツアニール装置を用いて700

～1000℃程度の温度でアニールする。

【0087】次に、前記実施の形態1で用いたCVD装置を用いて酸化タンタル膜77の上部に上部電極用の導電膜を堆積する。このとき使用するチタン含有ソースガスはTiCl<sub>4</sub>、TDMA TまたはTDEAT、窒素含有還元性ガスはNH<sub>3</sub>、MMHまたはそれらの混合ガス、不活性ガスはHe、Ar、N<sub>2</sub>またはそれらの混合ガスである。

【0088】本実施の形態では、図35に示すステップに従ってCVD装置のチャンバ内にガスを導入する。すなわち、チャンバ内を所定の真空度に排気した後、基板を昇温させながら不活性ガスを導入し、基板温度がほぼ一定になったところでチタン含有ソースガスを導入してこれを熱分解させることにより、図36に示すように、酸化タンタル膜77の表面にTiを主成分とする膜厚30～50Å程度の薄い保護膜78を形成する。続いて、チャンバ内に窒素含有還元性ガスを導入してチタン含有ソースガスと反応させることにより、図37に示すように、保護膜78の表面にTiN膜79を堆積する。このときの代表的なチタン含有ソースガスと窒素含有還元性ガスとの反応式を図38に示す。

【0089】チタン含有ソースガスは、図39に示すように、基板の昇温時に不活性ガスとほぼ同時に導入してもよく、あるいは図40に示すように、窒素含有還元性ガスを導入する直前に導入してもよいが、いずれの場合も窒素含有還元性ガスに先だててチタン含有ソースガスを導入する。このようにすると、チタン含有ソースガスの熱分解によって酸化タンタル膜77の表面に保護膜78が形成され、これがその後導入される窒素含有還元性ガスと酸化タンタル膜77との接触を防ぐので、酸化タンタル膜77の劣化が防止される。

【0090】また、酸化タンタル膜77の上部に保護膜78とTiN膜79とを堆積する際には、窒素含有還元性ガスの透過に対する保護膜78のバリア性が十分高くなるような温度条件で成膜を行う必要がある。具体的には、結晶化温度よりも低い温度で成膜を行い、結晶に比べて膜中にガスの透過するパスが少ないアモルファス状あるいは多結晶状の保護膜78を形成する。

【0091】保護膜78とTiN膜79の成膜温度は、使用するチタン含有ソースガスや窒素含有還元性ガスの種類およびそれらの組み合わせによって最適値が異なるが、一般に窒素含有還元性ガスとしてNH<sub>3</sub>を使用する場合は550℃以下、より好ましくは500℃以下であり、MMHを使用する場合は500℃以下、より好ましくは450℃以下である。

【0092】図41および図42は、上記保護膜78およびTiN膜79の成膜温度と、酸化タンタル膜77の電界強度との関係を示すグラフである。図41は、TiN膜79で構成された上部電極に正(+)の電圧を印加したときの10<sup>-4</sup>A/cm<sup>2</sup>での電界

強度を示し、図42は、上記上部電極に負(-)の電圧を印加したときの10<sup>-4</sup>A/cm<sup>2</sup>での電界強度を示している。図中の白い丸印(○)は、前記図35に示したステップで成膜を行った場合(不活性ガス=He+Ar、チタン含有ソースガス=TiCl<sub>4</sub>、窒素含有還元性ガス=NH<sub>3</sub>)、黒い丸印(●)は、前記図39に示したステップで成膜を行った場合(不活性ガス=He+Ar、チタン含有ソースガス=TiCl<sub>4</sub>、窒素含有還元性ガス=NH<sub>3</sub>)、白い角印(□)は、前記図40に示したステップで成膜を行った場合(不活性ガス=He+Ar、チタン含有ソースガス=TiCl<sub>4</sub>、窒素含有還元性ガス=NH<sub>3</sub>)、黒い角印(■)は、同じく図40に示したステップで成膜を行った場合(不活性ガス=He+Ar、チタン含有ソースガス=TiCl<sub>4</sub>、窒素含有還元性ガス=NH<sub>3</sub>+MMH)である。

【0093】上記実験結果から、一般に保護膜78およびTiN膜79の成膜温度が低い方が酸化タンタル膜77の電界強度が増加し、容量絶縁膜のリーク耐圧が向上することが判る。なお、上記の成膜プロセスでは、チタン含有ソースガス(TiCl<sub>4</sub>)の分解によって生じた塩素が膜中に取り込まれる。この塩素濃度は、図43に示すように、成膜温度が低くなるにつれて高くなる。上部電極を構成する導電膜中に高濃度の塩素が取り込まれると、上部電極の上層にAl(アルミニウム)を含む配線を形成した際、上部電極とこの配線とを接続する接続孔を通じて配線中に塩素が取り込まれるため、配線腐蝕を引き起こすポテンシャルが高くなる。従って、保護膜78およびTiN膜79の成膜温度の下限は、この点にも配慮して設定する必要がある。

【0094】次に、図44に示すように、TiN膜79の上部に高選択比膜80を堆積した後、フォトリソをマスクにしたドライエッチングで高選択比膜80、TiN膜79、保護膜78および酸化タンタル膜77をパターニングして上部電極(プレート電極)90および容量絶縁膜(酸化タンタル膜77)を形成し、情報蓄積用容量素子Csを完成させる。また同時に周辺回路の配線81、82を形成する。高選択比膜80は、後の工程で酸化シリコン膜や窒化シリコン膜をエッチングする際のエッチングストップとなる膜であり、酸化シリコン膜や窒化シリコン膜に対するエッチング選択比が大きい材料であれば絶縁膜であっても導電膜であってもよい。

【0095】次に、図45に示すように、情報蓄積用容量素子Csおよび配線81、82の上部に酸化シリコン膜83を堆積した後、フォトリソをマスクにして酸化シリコン膜83をドライエッチングすることにより、情報蓄積用容量素子Csの上部電極90の上部に接続孔84を形成し、配線81の上部に接続孔85を形成する。また同時に、配線82が形成された領域の酸化シリコン膜83、酸化シリコン膜73および窒化シリコン膜71をエッチングして周辺回路の配線70Bの上部に接

統孔 86 を形成する。このとき、上部電極 90 の上部と配線 81、82 の上部は高選択比膜 80 で覆われているので、上部電極 90 や配線 81、82 がエッチングされて膜厚が薄くなることはない。

【0096】次に、図 46 に示すように、上部電極 90 および配線 81、82 を覆っている高選択比膜 80 をエッチングすることにより、接続孔 85 の内部に配線 81 の一部を露出させ、接続孔 86 の内部に配線 82 の一端を露出させる。

【0097】次に、図 47 に示すように、接続孔 84、85、86 の内部に TiN (または W) からなるプラグ 87 を埋め込んだ後、酸化シリコン膜 83 の上部に Al と TiN の積層膜からなる配線 88A、88B、88C を形成する。これにより、周辺回路の配線 81 は、配線 88C および配線 82 を介して下層の配線 70B と接続される。

【0098】このように、本実施の形態によれば、情報蓄積用容量素子 Cs の容量絶縁膜を構成する酸化タンタル膜 77 の上部に低温 CVD 法で TiN 膜 79 を堆積して上部電極 90 を形成する際、あらかじめ酸化タンタル膜 77 の表面に窒素含有還元性ガスを透過しない保護膜 78 を形成しておくことにより、酸化タンタル膜 77 の耐圧劣化（リーク電流の増大）を確実に防止することができるので、リフレッシュ特性の向上した DRAM を実現することができる。

【0099】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0100】前記実施の形態では、容量素子の上部電極を TiN で構成する場合について説明したが、上部電極を TiN 以外の材料例えば TaN などで構成する場合にも本発明を適用することができる。例えば酸化タンタル膜上に CVD 法で TaN 膜を堆積する場合は、Ta (OC, H<sub>2</sub>) を NH<sub>3</sub> や MMH などの窒素含有還元性ガスで還元する方法が用いられる。そこで、TaN 膜の形成に先立って酸化タンタル膜の表面に保護膜を形成することにより、窒素含有還元性ガスとの接触による酸化タンタル膜の耐圧劣化を防止することができる。

【0101】また本発明は、容量素子の容量絶縁膜を酸化タンタル以外の高誘電体膜や強誘電体膜、例えば BaSrTiO<sub>3</sub>、SrTiO<sub>3</sub>、BaTiO<sub>3</sub>、PZT、B (ホウ素) あるいは F (フッ素) をドーピングした ZnO などで構成する DRAM や不揮発性メモリなどに適用することもできる。

【0102】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0103】本発明によれば、容量素子の容量絶縁膜を

構成する酸化タンタル膜の上部に TiN 膜を堆積して上部電極を形成する際、あらかじめ酸化タンタル膜の表面に低温 CVD 法で保護膜を形成しておくことにより、窒素含有還元性ガスと酸化タンタル膜との接触が防止されるので、耐圧特性の向上した容量素子を得ることができる。

【0104】本発明によれば、容量素子の容量絶縁膜を高誘電率体膜で構成することにより、容量素子の蓄積電荷量を増大させることができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 2】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 3】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 4】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 5】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 6】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 7】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 8】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 9】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 10】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 11】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 12】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 13】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 14】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 15】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 16】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 17】本発明の一実施の形態である DRAM の製造方法を示す半導体基板の要部断面図である。

【図 18】本発明の一実施の形態である DRAM の製造に用いる CVD 装置の要部構成図である。

【図 19】本発明の他の実施の形態である DRAM のブロック図である。

【図 20】本発明の他の実施の形態である DRAM のメモリアレイとセンスアンプの回路図である。

【図21】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図32】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図35】上部電極用TiN膜の成膜ステップを示すグラフである。

【図36】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図37】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図38】チタン含有ソースガスと窒素含有還元性ガスとの反応式を示す図である。

【図39】上部電極用TiN膜の成膜ステップを示すグラフである。

【図40】上部電極用TiN膜の成膜ステップを示すグラフである。

【図41】保護膜およびTiN膜の成膜温度と、酸化タンタル膜の電界強度との関係を示すグラフである。

【図42】保護膜およびTiN膜の成膜温度と、酸化タンタル膜の電界強度との関係を示すグラフである。

【図43】保護膜およびTiN膜の成膜温度と、膜中に取り込まれる塩素濃度との関係を示すグラフである。

【図44】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図45】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図46】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図47】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

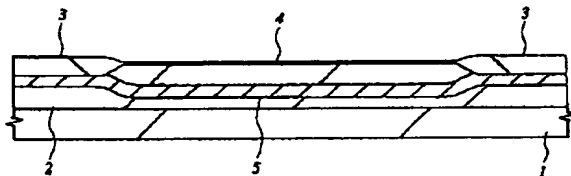
- 1 半導体基板
- 2 p型ウエル
- 3 フィールド酸化膜
- 4 ゲート酸化膜
- 5 p型チャンネルストッパ層
- 6 ゲート電極
- 6A~6C ゲート電極
- 7 酸化シリコン膜
- 8 n型半導体領域（ソース領域、ドレイン領域）
- 9 サイドウォールスペーサ
- 10 酸化シリコン膜
- 11 接続孔
- 12 多結晶シリコン膜
- 13 BPSG膜
- 14 接続孔
- 15 酸化シリコン膜
- 16 窒化シリコン膜
- 17 酸化シリコン膜
- 18 接続孔
- 19 多結晶シリコン膜
- 20 酸化シリコン膜
- 21 多結晶シリコン膜
- 22 下部電極（蓄積電極）
- 23 窒化シリコン膜
- 24 酸化タンタル膜
- 25 容量絶縁膜
- 26 アモルファスTi膜
- 27 TiN膜
- 28 上部電極
- 40 CVD装置
- 41 チャンバ
- 42 バルブ
- 43 バルブ
- 44 真空ポンプ
- 40 45 真空ポンプ
- 53 酸化シリコン膜
- 54 窒化シリコン膜
- 55 n型ウエル
- 56 n型チャンネルストッパ層
- 57 窒化シリコン膜
- 58 n<sup>+</sup>型半導体領域
- 59 p<sup>+</sup>型半導体領域
- 60 n<sup>+</sup>型半導体領域
- 61 p<sup>+</sup>型半導体領域
- 50 62 酸化シリコン膜

23

63~68 接続孔  
 69 プラグ  
 70A 配線  
 70B 配線  
 71 窒化シリコン膜  
 72 サイドウォールスペーサ  
 73 酸化シリコン膜  
 74 接続孔  
 75 プラグ  
 76 下部電極(蓄積電極)  
 77 酸化タンタル膜  
 78 保護膜  
 79 TiN膜  
 80 高選択比膜  
 81 配線  
 82 配線  
 83 酸化シリコン膜  
 84~86 接続孔  
 87 プラグ  
 88A~88C 配線

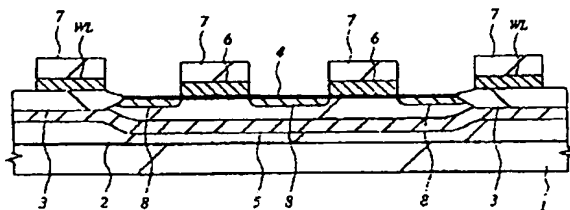
【図1】

図 1



【図3】

図 3

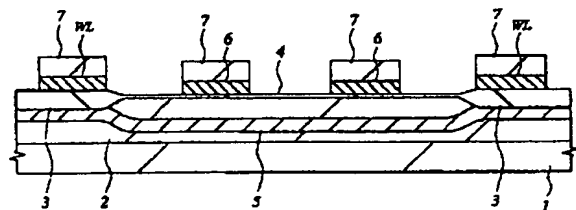


24

\*90 上部電極(プレート電極)  
 BL ビット線  
 BL<sub>1</sub> ビット線  
 BL<sub>2</sub> ビット線  
 Cs 情報蓄積用容量素子  
 CASB カラムアドレスストローブ信号  
 CD 相補共通データ線  
 IO データ入出力回路  
 MARY メモリアレイ  
 10 RASB ロウアドレスストローブ信号  
 SA センスアンプ  
 SP コモンソース線  
 TG タイミング発生回路  
 VP プレート電圧  
 WEB ライトイネーブル信号  
 WL ワード線  
 XB Xアドレスバッファ  
 XD Xアドレスデコーダ  
 YB Yアドレスバッファ  
 \*20 YD Yアドレスデコーダ

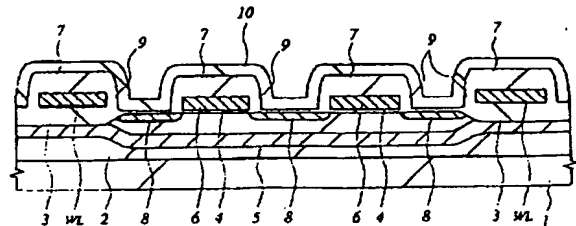
【図2】

図 2



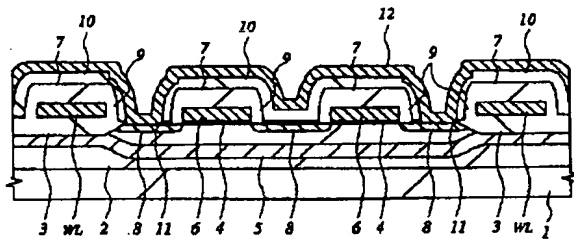
【図4】

図 4



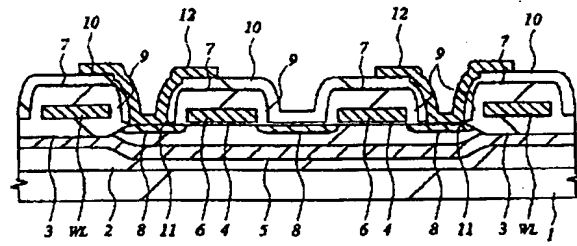
【図5】

図 5



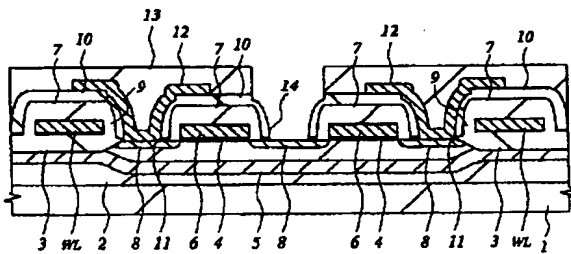
【図6】

図 6



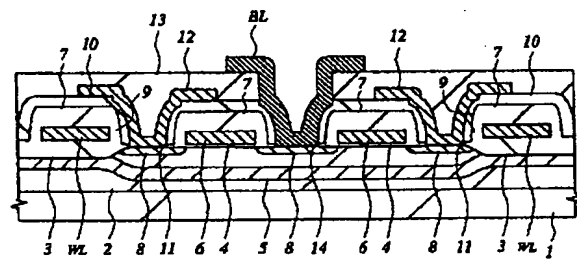
【図7】

図 7



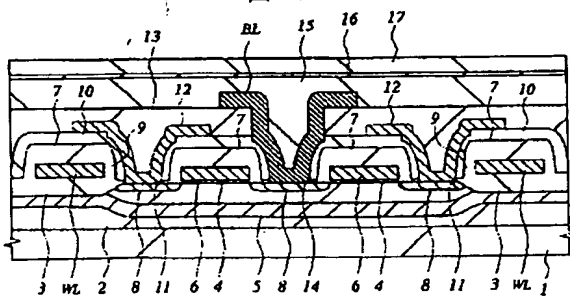
【図8】

図 8



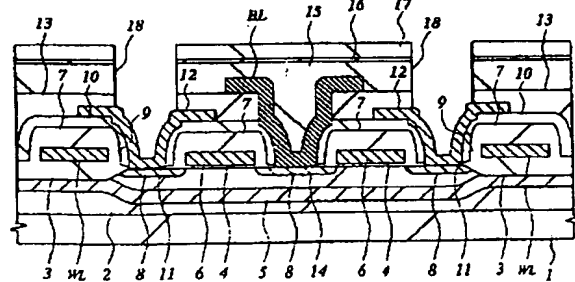
【図9】

図 9



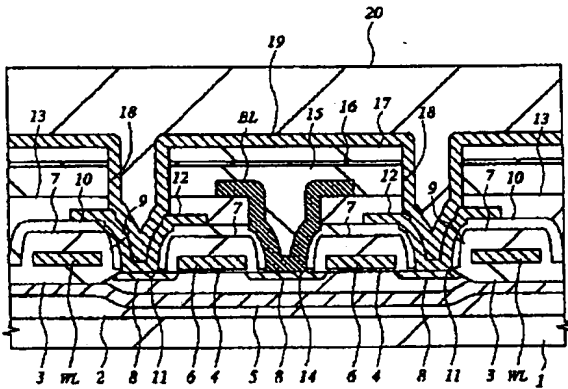
【図10】

図 10



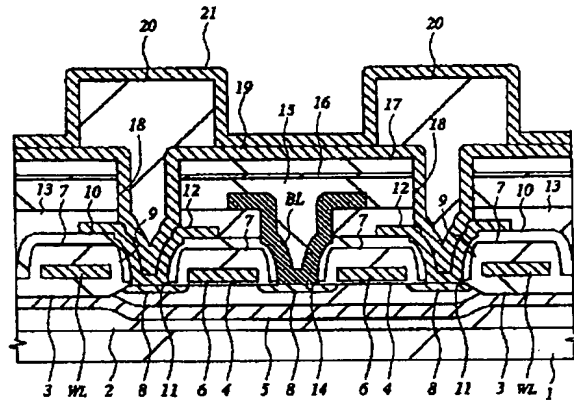
【図11】

図 11



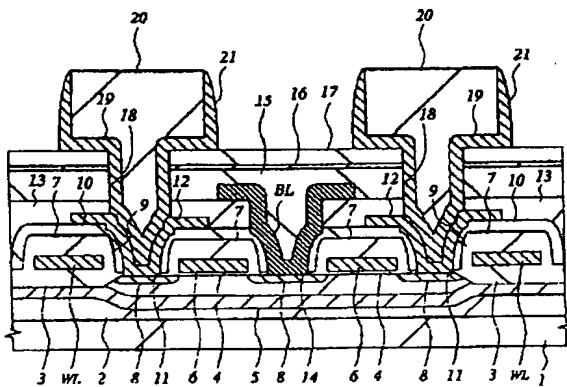
【図12】

図 12



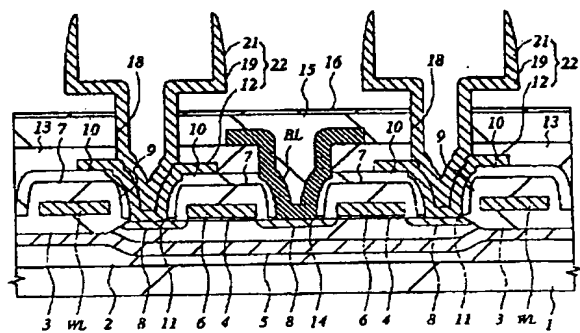
【図13】

図 13



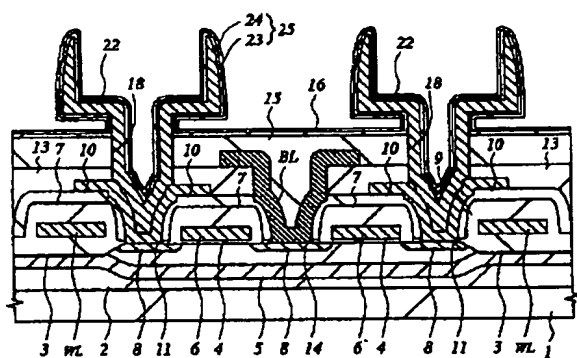
【図14】

図 14



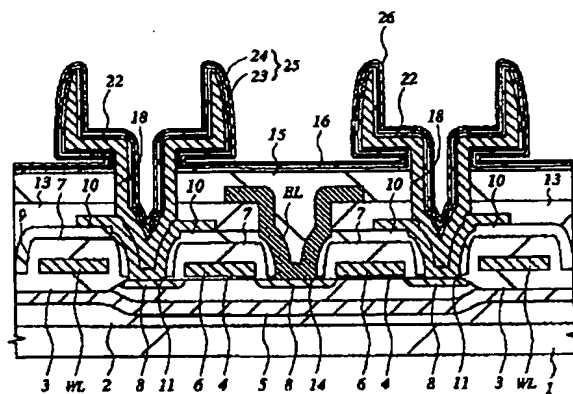
【図15】

図 15



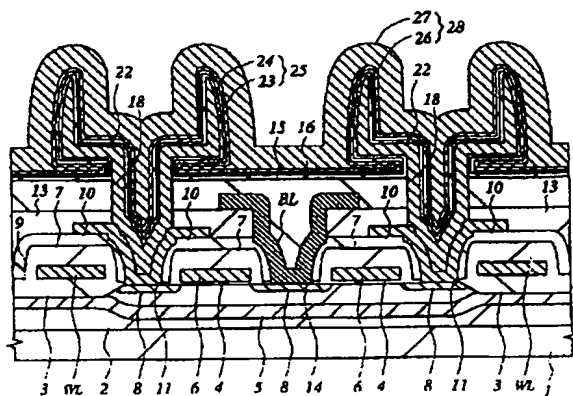
【図16】

図 16



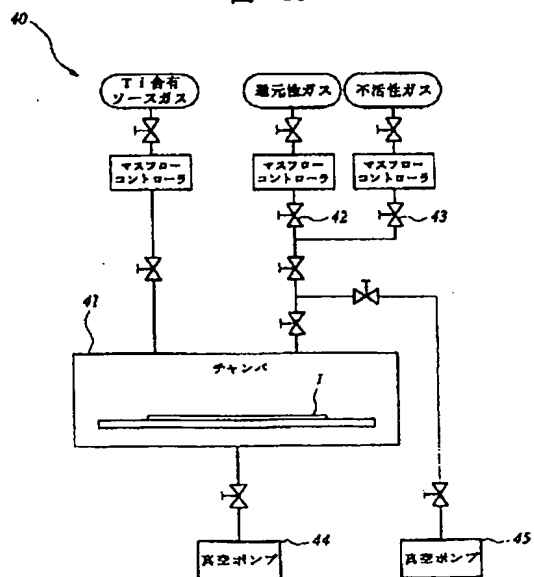
【図17】

図 17



【図18】

図 18





【図19】

【図20】

図 19

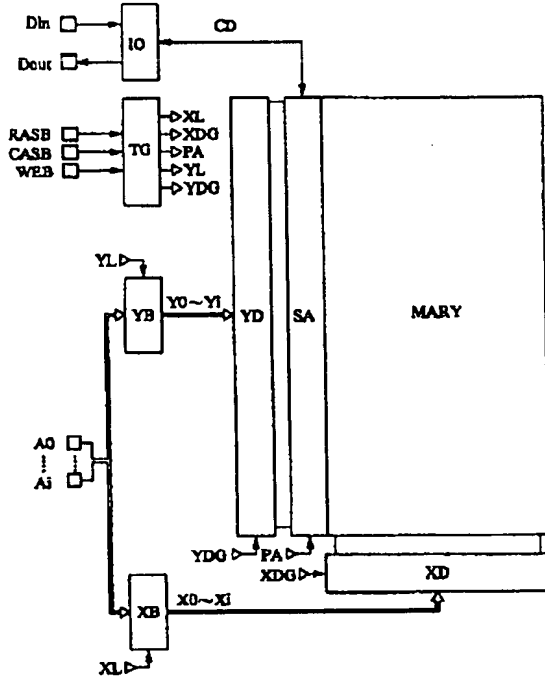
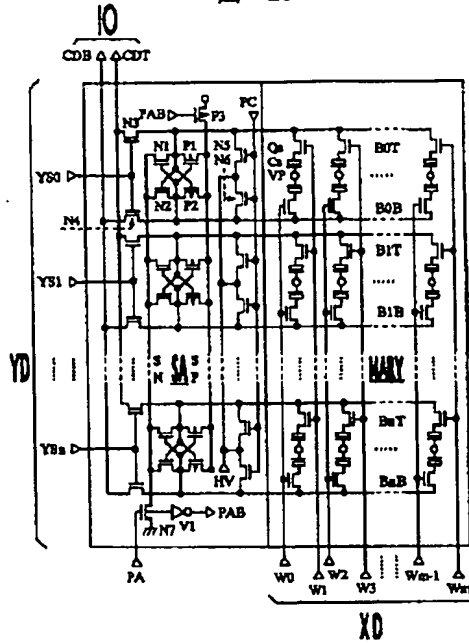


図 20

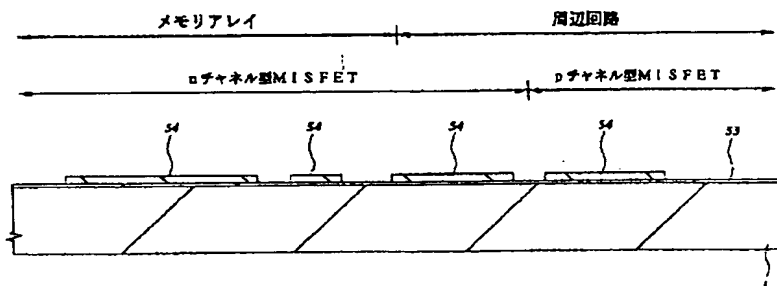


【図21】

【図38】

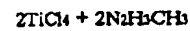
図 21

図 38

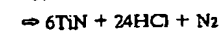
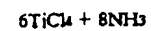


## TiN-CVD反応式

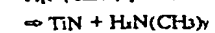
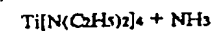
## (1) モノメチルヒドラジン還元



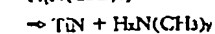
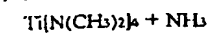
## (2) アンモニア還元



## (3) TDEATのアンモニア還元

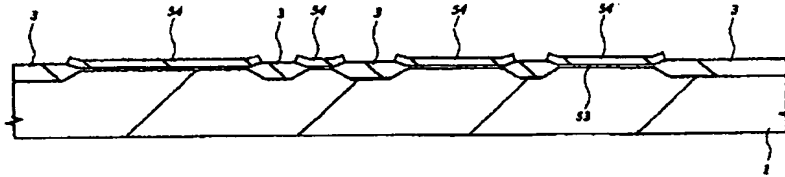


## (4) TDAMTのアンモニア還元



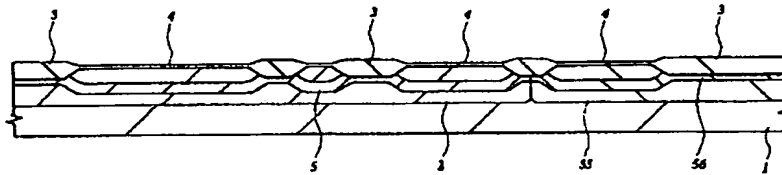
【図22】

図 22



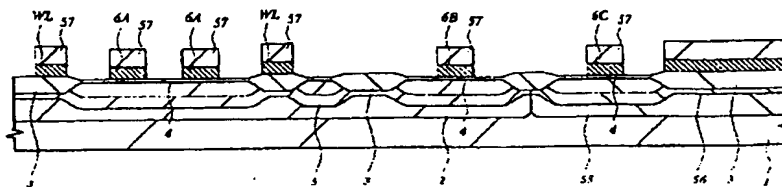
【図23】

図 23

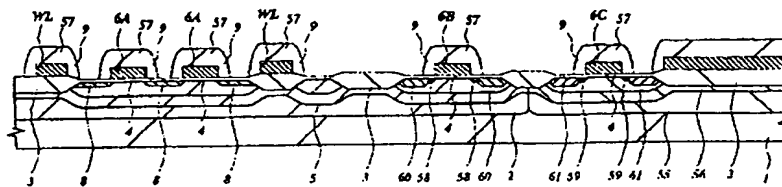


【図24】

図 24

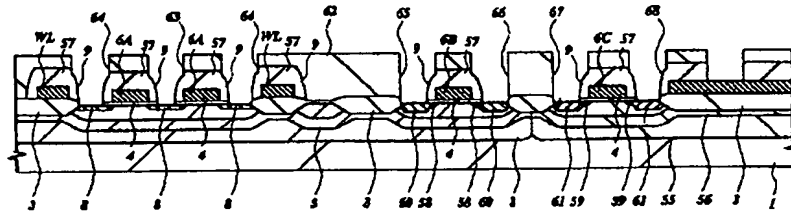


☒ 25



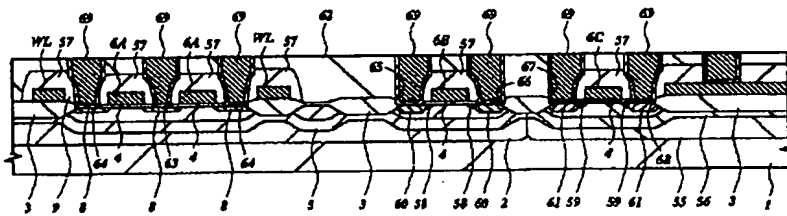
【図28】

図 28



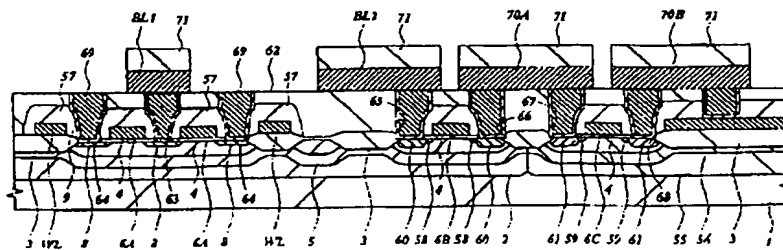
【図29】

図 29



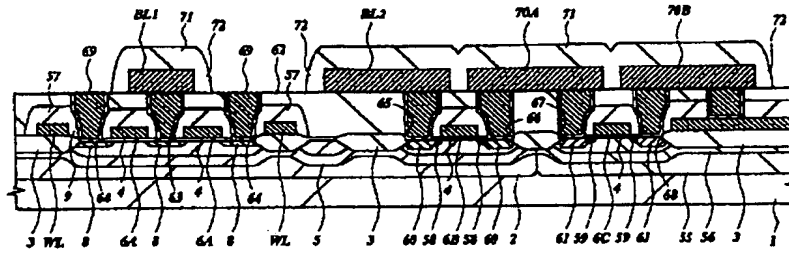
【図30】

図 30



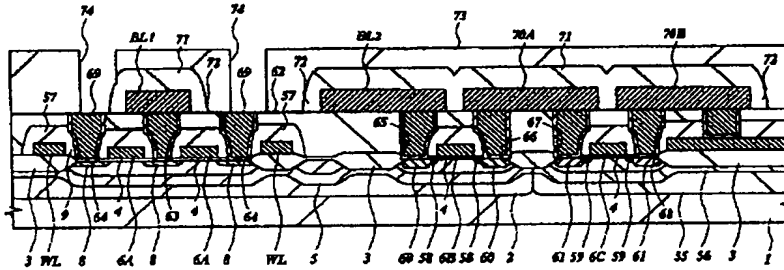
【図31】

図 31



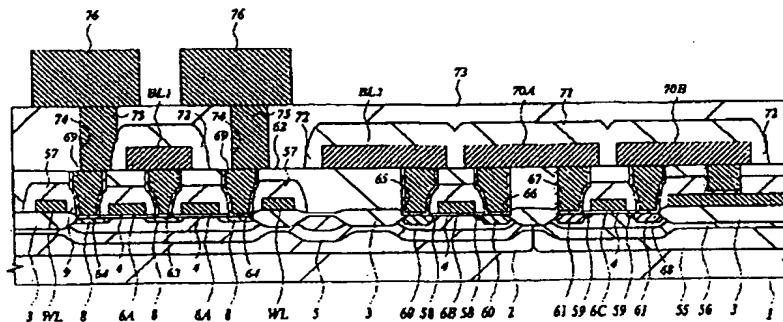
【図32】

図 32



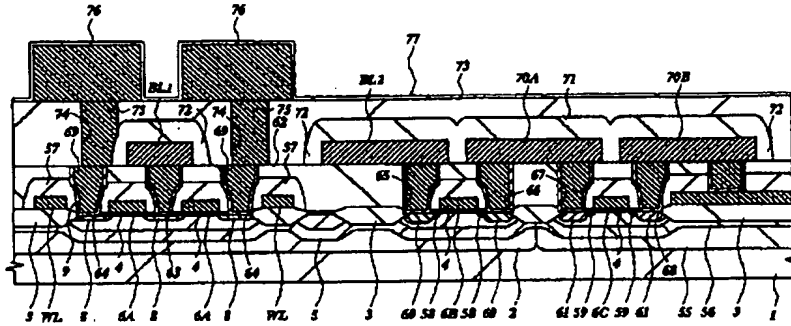
【図33】

図 33



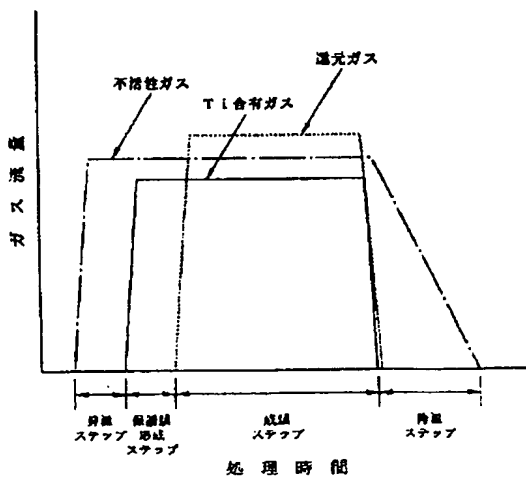
【図34】

図 34



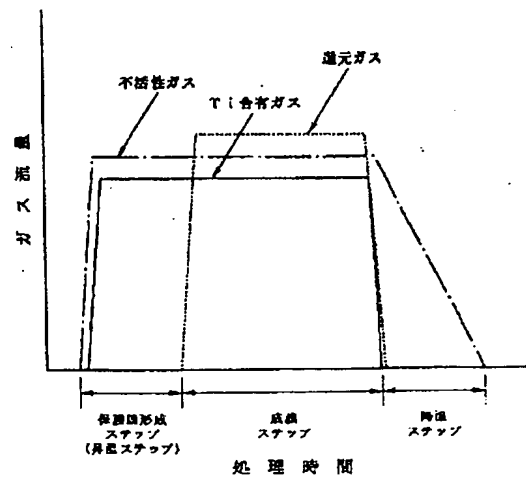
【図35】

図 35

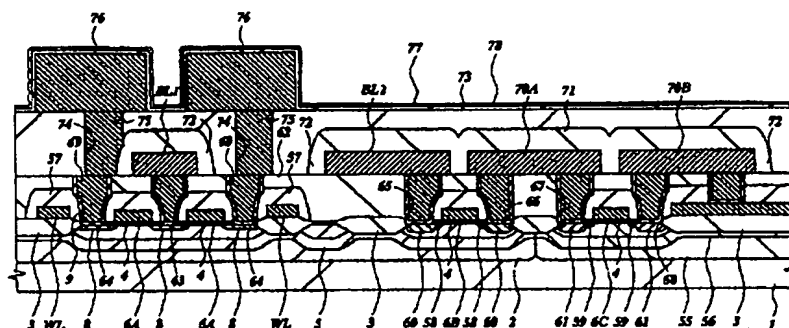


【図39】

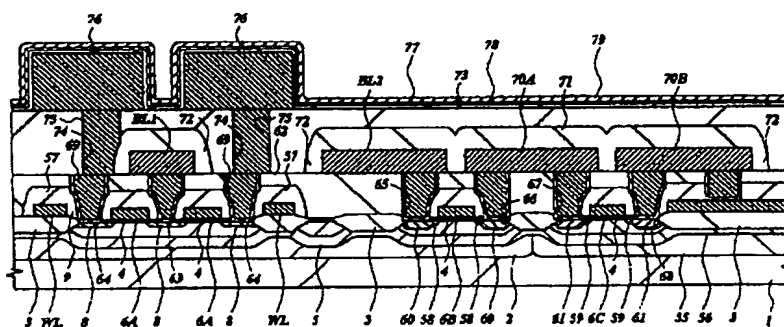
図 39



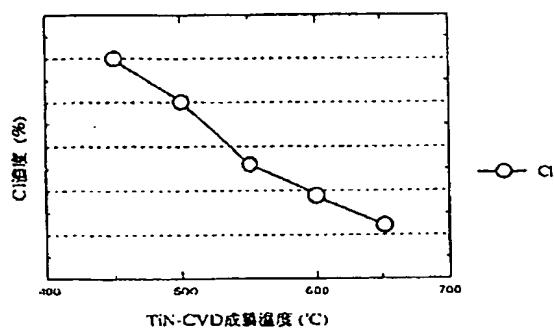
36



37

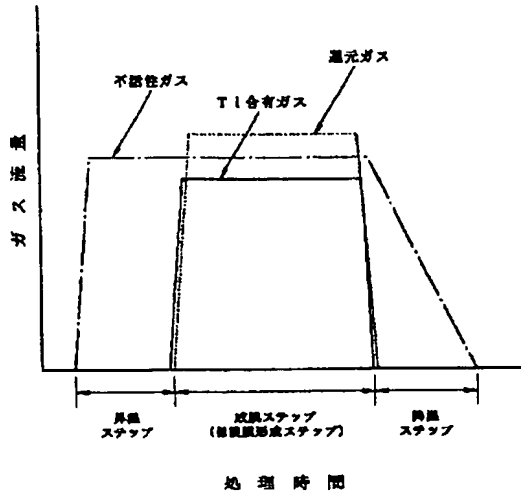


43



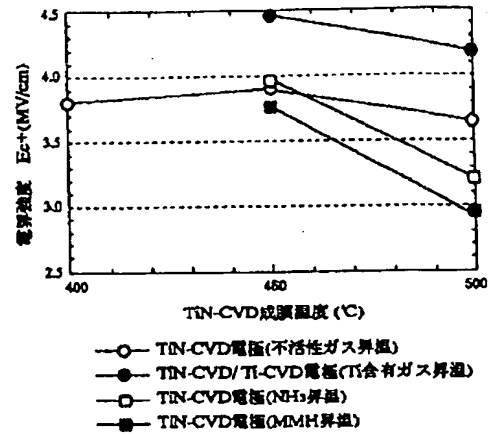
【図40】

図 40



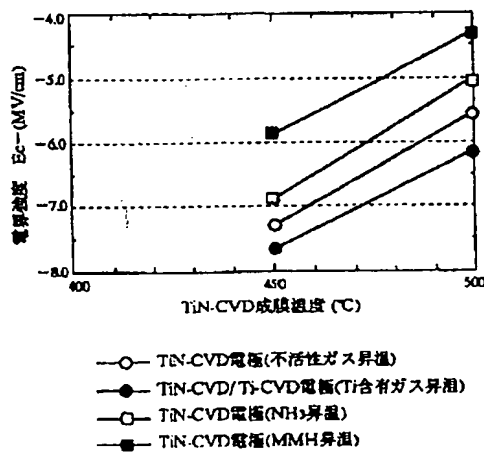
【図41】

図 41



【図42】

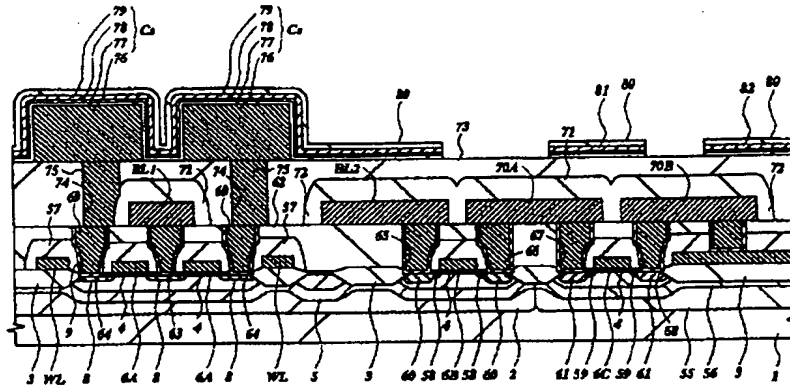
図 42





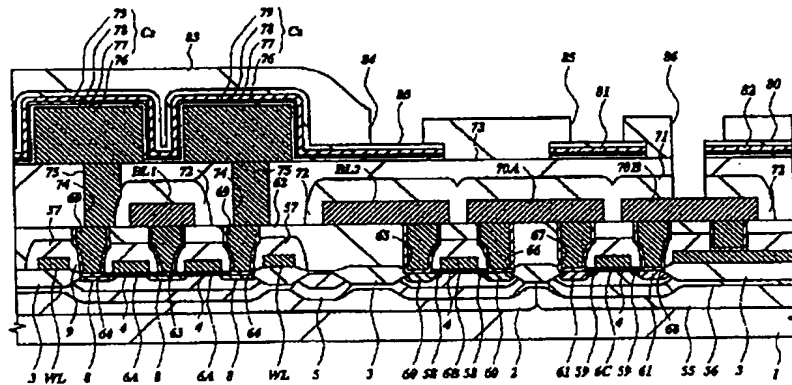
【図44】

図 44



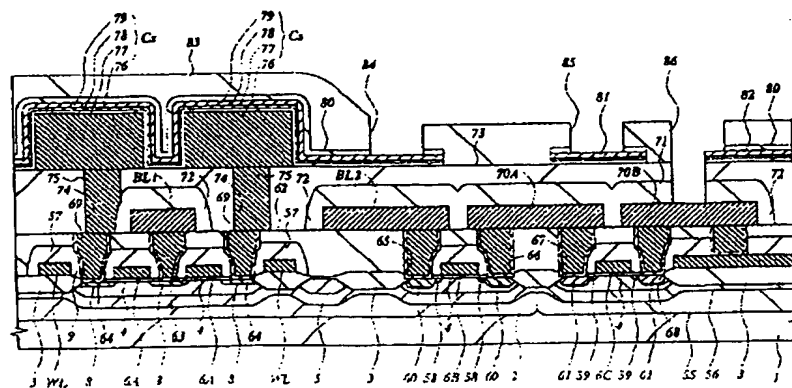
【図45】

図 45



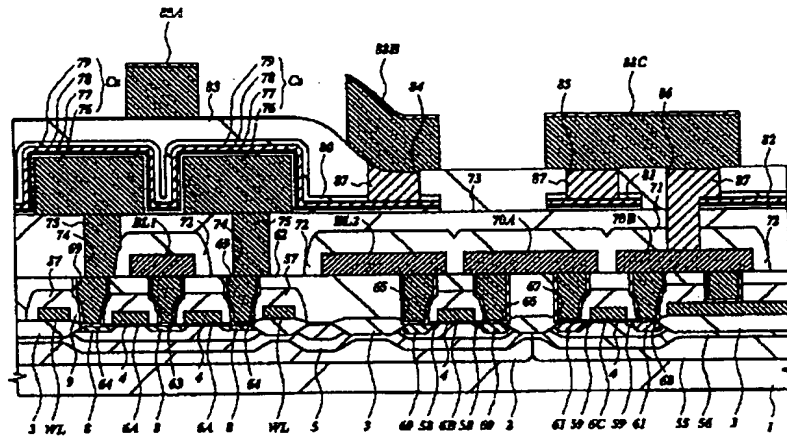
【図46】

図 46



【図47】

図 47



フロントページの続き

(72)発明者 中田 昌之  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**